

文章编号:1007-2780(2009)01-0066-05

OTS 修饰的不同厚度酞菁铜 OTFT 的研究

刘 向¹, 刘 惠², 薛钰芝¹

(1. 大连交通大学 材料学院, 辽宁 大连 116028; 2. 大连理工大学 电信学院, 辽宁 大连 116024, E-mail: liuxiang@djtu.edu.cn)

摘 要: 用十八烷基三氯硅烷(OTS)修饰了不同厚度的酞菁铜(CuPc)有机薄膜晶体管器件, 对比酞菁铜厚度为 15、40、80 nm 的 3 种器件性能后, 得到 40 nm 的酞菁铜器件具有最高载流子迁移率。分析了 OTS 修饰的绝缘层表面对器件性能的影响, 得到的 40 nm 厚度酞菁铜器件载流子迁移率为 $4.3 \times 10^{-3} \text{ cm}^2/\text{V} \cdot \text{s}$, 阈值电压为 -9.5 V 。

关 键 词: 酞菁铜; 半导体厚度; 载流子迁移率

中图分类号: TN27 **文献标识码:** A

1 引 言

在有机薄膜晶体管中, 栅绝缘层材料的选择与栅绝缘薄膜的表面性质对有机薄膜晶体管(OTFTs)的器件性能有很大影响^[1-3]。传统 OTFT 的绝缘层主要采用的是 SiO_2 、 Ta_2O_5 等无机材料, 但是无机绝缘层表面具有较强的亲水性, 易与有源层材料发生不利于其生长的界面反应, 从而直接影响到器件性能^[4,5]。本文在传统的 OTFT 绝缘层材料 SiO_2 基础上, 引入有机低介电常数材料十八烷基三氯硅烷(silane coupling agents- octadecyltrichlorosilane, OTS)作为修饰层。另外, OTS 也具有第二绝缘层的作用, 在修饰 SiO_2 表面并提高器件的场效应迁移率的同时, 可以降低器件的漏电流。有机半导体层的厚度是器件的一个重要参数, 在 OTFT 器件的半导体层中, 不同厚度的半导体层内部的载流子分布有着很大的差别, 已有较多文献对 OTFT 半导体层中载流子分布进行了理论分析^[6-10]。降低有机半导体的厚度, 能够有效地降低本征区和耗尽区的厚度, 从而提高载流子迁移率。Schroeder 等人^[11]对并五苯半导体层厚度和阈值电压的关系进行了研究, 发现并五苯半导体层厚度在从 30 nm 逐渐增加的过程中, OTFT 的阈值电压不断升高, 阈值电压和半导体层厚度几乎成线性关系。但到目前为止, 关于酞菁铜厚度与载流子迁移率的关系

尚无系统报道。本文在用 OTS 修饰绝缘层的基础上, 通过改变酞菁铜的厚度对 OTFT 器件的性能进行了研究。

2 实 验

OTS 化学修饰 SiO_2 的过程如图 1 所示。

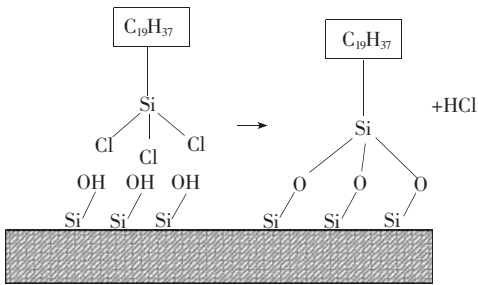


图 1 OTS 化学修饰 SiO_2 过程

Fig. 1 Chemical process between OTS and surface of SiO_2

有机薄膜晶体管(OTFT)器件结构如图 2 所示, 实验过程如下: 在重掺杂的 P 型 Si 上用热生长方法制备 SiO_2 薄膜, 厚度大约为 280 nm 左右。 SiO_2 的表面依次用丙酮、乙酸乙酯、无水乙醇清洗, 然后用去离子水洗净, 再经超声处理大约 15 min 左右。然后在红外灯下烘烤 2 h 左右。接下来, 用 OTS 对 SiO_2 表面进行处理。配制 OTS 溶液: 将 CHCl_3 和 C_6H_{14} 配成体积比为 3:7 的溶液, 然后放入溶质 OTS, 构成 2% 的溶液。将基片

放入 OTS 的溶液中浸泡 30 min 后取出,用二甲苯溶液淋洗 3 遍并用 N₂ 吹干,再放入 80 ℃ 烘箱中干燥 2 h,然后用真空沉积在 6×10^{-4} Pa 真空中蒸发一层 CuPc 薄膜,蒸发速率控制在 2 nm/min,CuPc 厚度的数据由韩国的 ST2000-DLXn Apectra Thick STD-Auto 测试得到。我们蒸镀了厚度范围在 13~85 nm 的多个样品,选取了其中 3 个有代表性的器件,其厚度分别为:15 nm、40 nm、和 80 nm;金(Au)薄膜作为源、漏电极被掩模蒸镀在有源层上,沟道的宽度和长度分别被掩模漏版控制为 3 mm 和 0.035 mm,OTFT 的输出电流用 Keithely 6485 皮安表进行测量,其测量精度可达 10^{-12} A。

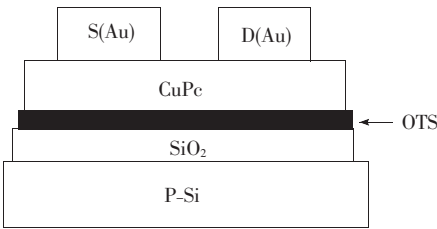


图 2 用 OTS 溶液处理的 OTFT 器件结构示意图
Fig. 2 Structure of the OTFTs with a self-assembled monolayer OTS

3 结果与讨论

为了研究 OTS 对器件性能的影响,制备了以下两种结构的 OTFT 器件:

- a: Si/SiO₂ (280 nm)/CuPc(80 nm)/Au
- b: Si/SiO₂ (280 nm)/OTS/CuPc(80 nm)/Au

图 3 是器件 a 和器件 b 的电流-电压输出特性曲线。可以看出,当 $V_{DS} = -50$ V, $V_{GS} = -50$ V 时,器件 a 和 b 的饱和电流分别为 -589 nA 和 -1 196 nA,采用 OTS 修饰器件的饱和电流绝对值是采用单层 SiO₂ 器件的 2 倍左右。

在饱和区($V_{DS} \geq V_{GS} - V_T$),载流子的迁移率可以根据公式(1)通过拟合 $|I_{DS}|^{1/2} - V_{GS}$ 曲线获得:

$$I_{DS} = \frac{WC_i}{2L} \mu (V_{GS} - V_T)^2 \tag{1}$$

在公式中, μ 是场效应的载流子迁移率, L 和 W 是沟道的长度和宽度, C_i 是绝缘层单位面积的电容, V_T 是器件的阈值电压。

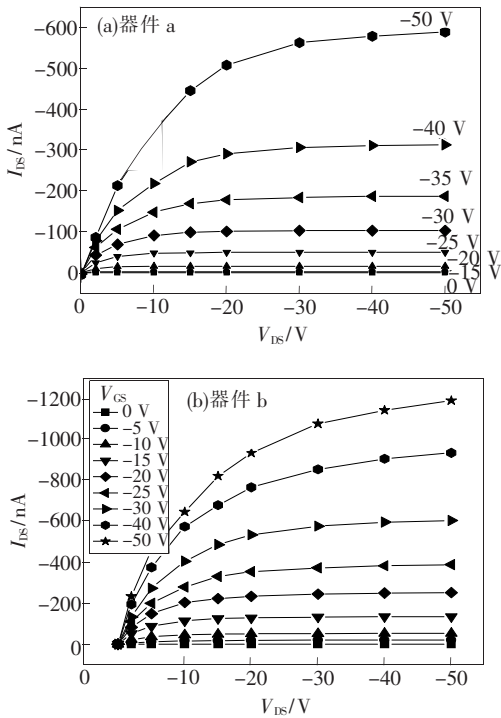


图 3 未经 OTS 修饰和 OTS 修饰的 CuPc 器件输出特性曲线
Fig. 3 Drain-current characteristics of CuPc OTFT without and with OTS

绝缘层电容 C_i 在本实验中是通过制作 ITO/SiO₂/Al 和 ITO/SiO₂/OTS/Al 两种结构用 ZL6 型自动 LCR 测量仪测得,两种结构单位面积的电容量分别为 12 nF/cm² 和 10 nF/cm²。根据公式(1), $|I_{DS}|^{1/2}$ 与 V_{GS} 满足线性的关系,计算得到未经 OTS 溶液处理的器件 a 的载流子迁移率为 9.26×10^{-4} cm²/V · s,阈值电压为 -9.9 V。而经过 OTS 溶液处理后的器件 b 的载流子迁移率达到了 2.2×10^{-3} cm²/V · s,这个结果是单层 SiO₂ 绝缘层器件载流子迁移率的 2 倍多。可见,当绝缘层用 OTS 处理后,载流子在 CuPc 有源层的迁移作用增强了。

基于不同绝缘层(SiO₂, SiO₂/OTS)的器件性能参数列在表 1 中。从表 1 可以看出,基于 SiO₂/OTS 双绝缘栅的器件具有更好的性能:提高了载流子迁移率,降低了漏电流,提高了开/关电流比。

为了研究 OTS 对不同厚度有源层器件的影响,制备了以下 3 种不同厚度的 CuPc 器件:

- c: Si/SiO₂ (280 nm)/OTS/CuPc(15 nm)/Au

表 1 基于 SiO₂ 和 SiO₂/OTS 栅绝缘层酞菁铜 OTFT 性能比较
Table 1 Performances of CuPc devices based on SiO₂ and SiO₂/OTS

绝缘层	$\mu(10^{-3} \text{ cm}^2/\text{Vs})$	on/off ratio	$ I_{\text{DS(sat)}} \text{ (nA)}$	漏电流(nA)	电容(nF/cm ²)	$V_{\text{T}} \text{ (V)}$
SiO ₂	9.26×10^{-4}	2.5×10^3	5.88×10^2	1.3	12	-9.9
SiO ₂ /OTS	2.2×10^{-3}	8×10^3	1.18×10^3	3.3×10^{-1}	10	-9.8

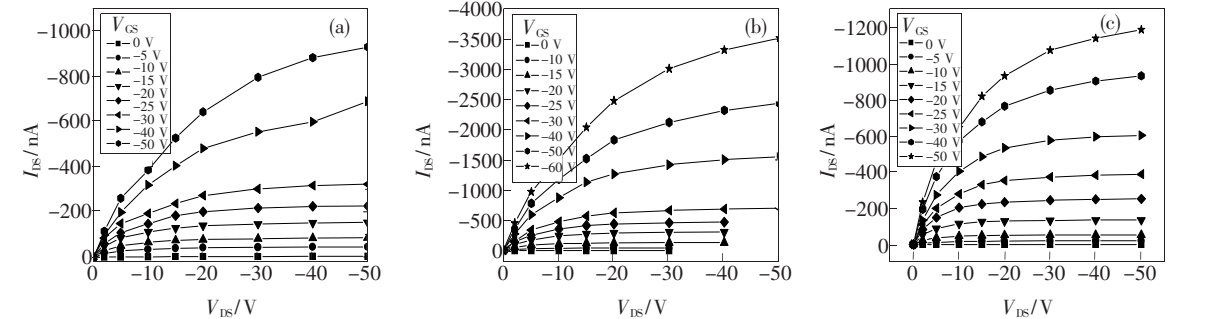


图 4 15 nm(a)、40 nm(b)、80 nm(c)3 种有源层厚度的 CuPc 器件输出特性曲线
Fig. 4 Drain-current characteristics of CuPc OTFT with thickness of 15 nm(a), 40 nm(b), 80 nm(c).

d: Si/SiO₂ (280 nm)/OTS/CuPc(40 nm)/
Au

e: Si/SiO₂ (280 nm)/OTS/CuPc(80 nm)/Au

图 4 是 3 种不同半导体厚度的 OTFT 的输出特性曲线图。从图中可以看出,所有 OTFT 器件都具有良好的饱和特性,器件都表现为 P 型增强型晶体管的性质。在相同的 V_{GS} 和 V_{DS} 条件下,3 种器件的漏极电流 I_{DS} 各不相同,有源层厚度为 40 nm 的器件的 I_{DS} 最大。

通过图 5 可以看到,器件的开态电流先随着有源层厚度的增大而增大,达到一定数值后随有源层厚度的增大而减小。根据公式(1),计算出 $|I_{\text{DS}}|^{1/2}$ 与 V_{GS} 满足线性的关系(图 6),在 V_{GS} 轴的截距即为阈值电压 V_{T} ,通过图 6 和饱和区的载

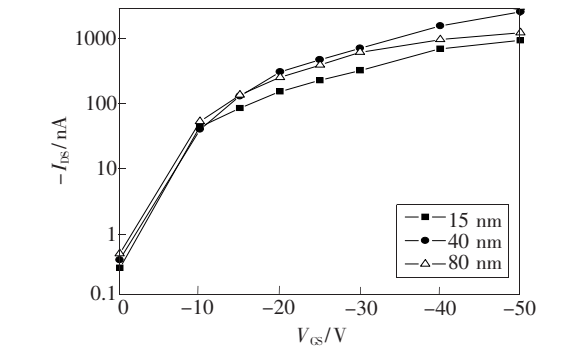


图 5 3 种不同厚度的 CuPc OTFT 漏极电流-栅极电压变化曲线($V_{\text{DS}} = -50 \text{ V}$)
Fig. 5 Curves of the drain current-gate voltage of CuPc OTFT with different CuPc thickness($V_{\text{DS}} = -50 \text{ V}$)

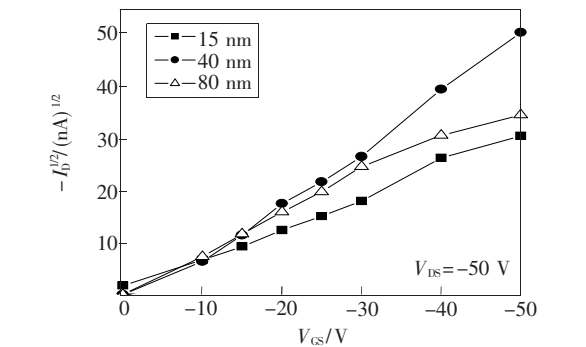


图 6 -50 V 漏极电压下 3 种不同厚度的 CuPc OTFT 源漏电流平方根-栅极偏压曲线
Fig. 6 Curves of the square root of drain current in the saturation regime under -50 V

表 2 不同有源层厚度器件性能参数

Table 2 Performances of different thickness of CuPc devices

CuPc 薄膜的厚度 (nm)	$ I_{\text{DS(sat)}} $ (nA)	V_{T} (V)	$\mu(10^{-3} \text{ cm}^2/\text{V} \cdot \text{s})$
15	9.21×10^2	-13.3	1.9
40	2.30×10^3	-9.5	4.3
80	1.18×10^3	-9.8	2.2

流子迁移率公式,计算得到 3 种器件的载流子迁移率、阈值电压如表 2 所示。

对比 CuPc 的厚度为 15、40、80 nm 的 3 种器件性能可以看到,当 CuPc 的厚度为 40 nm 时,器

件具有最高的载流子迁移率、最大的饱和电流和绝对值最小的阈值电压。对于同样结构的 OTFT,在绝缘层厚度不变时,由栅极偏压感应出来的增强区域厚度通常在几个分子层之间。而本征区和耗尽区的载流子浓度比较低,是限制 OTFT 载流子迁移率提高的主要因素。当厚度大于 40 nm 时,有源层厚度的增大不但分去一部分栅电压而且还增大了源-漏电极的接触电阻,从而不利于器件性能的提高。当有源层厚度小于 40 nm 以后器件的性能开始降低,有源层上表面的表面态会使有机材料的隙态浓度增加从而对沟道载流子迁移率产生不良影响以及使器件的阈值电压增大,采用厚度过低的半导体层的器件也会由于半导体薄膜本身的起伏度而导致器件性能下降。

载流子的迁移率大小受有机半导体结构和排列的影响很大,参考文献[12]也对此方面有相关的论述。经 OTS 溶液处理以后, SiO_2 的表面形貌有所改变,表面的能态降低。用原子力显微镜 (AFM) 观察绝缘薄膜层的表面形貌。图 7 是仅经过清洗处理后的 SiO_2 层的表面形貌图。图 8 是 OTS 处理的 SiO_2 层表面形貌图。一般认为,有机薄膜晶体管器件中绝缘层的表面粗糙程度是衡量器件性能,即载流子迁移率大小的一个重要指标。绝缘层的表面光滑,平整度好,则绝缘膜中的表面缺陷(如针孔和陷阱)就少,便于载流子的通过;反之,载流子会被绝缘膜中的表面缺陷所捕获,从而降低器件的迁移率。OTS 处理改变了

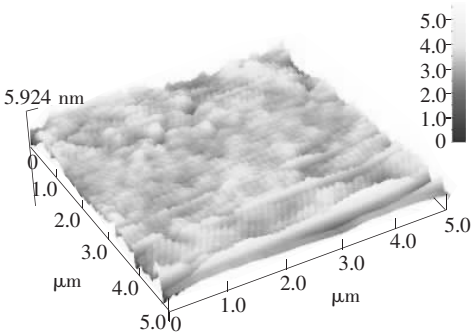


图 7 $5\text{ }\mu\text{m}\times 5\text{ }\mu\text{m}$ 原子力显微镜下 SiO_2 的表面形貌
Fig. 7 $5\text{ }\mu\text{m}\times 5\text{ }\mu\text{m}$ atomic force microscopy images of SiO_2 films

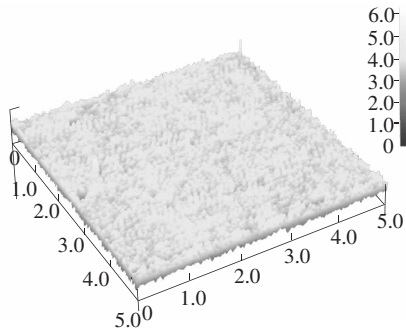


图 8 $5\text{ }\mu\text{m}\times 5\text{ }\mu\text{m}$ 原子力显微镜下 OTS 处理的 SiO_2 层表面形貌
Fig. 8 $5\text{ }\mu\text{m}\times 5\text{ }\mu\text{m}$ atomic force microscopy images of OTS/ SiO_2 films surface

绝缘层表面所蒸镀的酞菁铜膜的生长性质,可以使二氧化硅的表面变成更加疏水的状态,降低了表面自由能,从而更有利于酞菁铜薄膜在基片上的吸附。通过在源漏金电极和 SiO_2 之间引入有机、低介电的 OTS 薄膜,起到了在真空蒸镀金薄膜的过程中阻挡金原子向 SiO_2 硅层的扩散的作用,从而改善了绝缘性。OTS 处理后为绝缘层提供了更为平滑的表面,降低了位于介面处的缺陷浓度,从而优化了薄膜的生长行为,使介面处的酞菁铜分子排列更为有序,进而提高了场效应迁移率。

4 结 论

对 OTS 修饰的 3 种厚度有源层 CuPc 的 OTFTs 器件性能进行了研究,发现器件的性能与有源层厚度有依赖关系。3 种器件中,有源层厚度为 40 nm 的器件性能最好。当有源层厚度大于 40 nm 时,有源层厚度的增加会分去一部分栅电压同时还增大了源-漏电极的接触电阻。当有源层厚度小于 40 nm 以后器件的性能开始降低,采用厚度过低的半导体层的器件也会由于半导体薄膜本身的起伏度而导致器件性能下降。在我们研究的器件中,优化的半导体层厚度为 40 nm 左右。经过 OTS 修饰的二氧化硅绝缘层,表面光滑,平整度好,降低了表面自由能,优化了薄膜的生长行为,使介面处酞菁铜分子排列更为有序。

参 考 文 献:

- [1] Muccini M. A bright future for organic field-effect transistors [J]. *Nature Materials*, 2006, (5):605-613.
- [2] 张化福,袁玉珍,臧永丽等. p-Si TFT 栅绝缘层用 SiN_x 薄膜界面特性的研究 [J]. *液晶与显示*, 2008,23(1):35-38.
- [3] 袁剑锋,阎东航,许武. 有机薄膜晶体管阈值电压漂移现象的研究 [J]. *液晶与显示*, 2004,19(3): 168-173.
- [4] Dimitrakopoulos C D, Purushothaman S, Kymissis J. Low voltage organic transistors on plastic comprising high dielectric constant gate insulators [J]. *Science*,1999,183(5403):822-824.
- [5] Chen Jinhua, Wang Yongshun, Zhu Haihua. AFM and XPS study on the surface and interface states of CuPc and SiO₂ Films [J]. *Chin. J. Semiconductors*, 2006, 27(8):1360-1366.
- [6] Schauer F,Zhivkov I, Nespurek S. Organic phthalocyanine films with high mobilities for efficient field-effect transistor switches [J]. *J. Non-Crystal. Sol.*, 2000,266-269:999-1003.
- [7] Tessler N, Roichman Y. Two-dimensional simulation of polymer field-effect transistor [J]. *Appl. Phys. Lett.*, 2001, 79(18):2987-2989.
- [8] Li T,Balk J W, Ruden P P. Channel formation in organic field-effect transistors [J]. *J. Appl. Phys.*, 2002, 91(7):4312-4318.
- [9] Vlcek A R,Street R A,Knipp D. Carrier transport and density of state distributions in pentacene transistors [J]. *Phys. Rev. B*, 2002,66(19):195336-195343.
- [10] Bürgi L, Friend R H, Sirringhaus H. Formation of the accumulation layer in polymer field-effect transistors [J]. *Appl. Phys. Lett.*, 2003,82(9):1482-1484.
- [11] Schroeder R,Majewski L A,Grell M. A study of the threshold voltage in pentacene organic field-effect transistors [J]. *Appl. Phys. Lett.*, 2003,83(15):3201-3203.
- [12] Jianfeng Yuan, Jian Zhang, Jun Wang. Bottom-contact organic field-effect transistors having low-dielectric layer under source and drain electrodes [J]. *Appl. Phys. Lett.*, 2003,82(22):3967-3969.

Organic Thin Film Transistors Modified by OTS with Different Thicknesses of CuPc

LIU Xiang¹, LIU Hui², XUE Yu-zhi¹

(1. School of Materials Science and Engineering, Dalian Jiaotong University, Dalian 116028, China, E-mail: liuxiang@djtu.edu.cn;

2. School of Electronic and Information Engineering, Dalian University of Technology, Dalian 116024, China)

Abstract

Organic thin film transistors (OTFTs) were modified by silane coupling agents- octadecyltrichlorosilane (OTS) with different thicknesses of CuPc. Comparing with different thicknesses of CuPc layer of 15 nm, 40 nm and 80 nm, the 40 nm CuPc devices have the best performance on mobility. The performance of OTFTs that were modified by OTS has been investigated. Electrical parameters such as carrier mobility and threshold voltage by field effect measurement have been calculated. For OTFT based on the 40 nm CuPc, the field-effect mobility is $4.3 \times 10^{-3} \text{ cm}^2/\text{V} \cdot \text{s}$ and threshold voltage is -9.5 V .

Key words: CuPc; thickness of semiconductor; mobility

作者简介:刘向(1979—)男,山东即墨人,博士,讲师,主要从事有机 TFT、有机光电器件的研究工作。